

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-032955

(43)Date of publication of application : 04.02.1992

(51)Int.Cl. G06F 15/16  
G06F 11/30

(21)Application number : 02-131388

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.05.1990

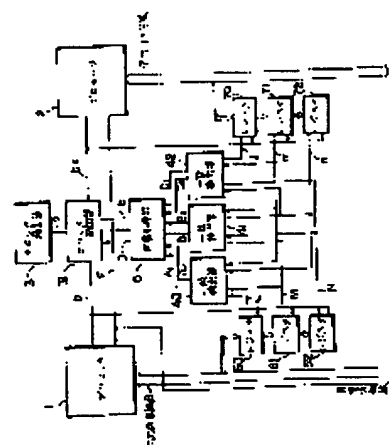
(72)Inventor : MIYAMOTO CHIKAHIRO

## (54) PROCESSOR FAULT DETECTING DEVICE

## (57)Abstract:

PURPOSE: To evade the process stop of a processor due to a step-out by monitoring the step-out as well as abnormality of a processor and adjusting the step-out when the step-out is detected.

CONSTITUTION: When processing of the same object is performed by using processors 1 and 2 in parallel, coincidence detection parts 40 - 42 compare intermediate data which is generated halfway in the process. The comparison is performed for at least  $\geq 3$  intermediate data which are outputted continuously by the processors 1 and 2 and this comparing means is also applied to a combination of intermediate data which are outputted by the processors and differ in timing by one clock in addition to intermediate data which are outputted with the same clock. When the comparison of the intermediate data which are outputted with the same clock indicates a dissidence and the comparison of the data which are shifted shows a coincidence, it is considered that the processors 1 and 2 have a step-out and a synchronism adjustment part (clock control part) 31 adjusts the synchronism between the processors 1 and 2. Consequently, the process stop of the processors due to the step-out is evaded.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平4-32955

⑤Int.Cl.<sup>5</sup>G 06 F 15/16  
11/30

識別記号

4 6 0 D  
G

庁内整理番号

9190-5L  
7165-5B

④公開 平成4年(1992)2月4日

審査請求 未請求 請求項の数 1 (全8頁)

⑬発明の名称 プロセッサ障害検出装置

⑭特 願 平2-131388

⑮出 願 平2(1990)5月23日

⑯発 明 者 宮 本 力 博 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑰出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑱代 理 人 弁理士 鈴木 敏 明

## 明 細 書

## 1. 発明の名称

プロセッサ障害検出装置

## 2. 特許請求の範囲

同一の処理対象を並行して処理する複数のプロセッサと、

前記各プロセッサの動作を制御する制御クロックを当該各プロセッサに向けて出力するクロック発生部と、

前記処理の過程で前記各プロセッサから前記制御クロックに同期して時間的に連続して出力される中間データを、少なくとも3個以上対応させて格納するレジスタと、

前記レジスタに格納されて対応付けられた前記中間データを時間的にシフトさせながら相互に比較する一致検出部と、

前記中間データが相互に一致した場合のシフト時間に基づいて、前記各プロセッサの同期調整を行なう同期調整部とからなることを特徴とするプロセッサ障害検出装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、同一の処理対象を並行して処理する複数のプロセッサの障害を検出するプロセッサ障害検出装置に関する。

(従来の技術)

コンピュータはその利用目的により各種の構成が構築される。通常、1台のコンピュータにおいて、各種処理対象(タスク等)の処理実行は1つのプロセッサで行なわれる。この場合、このプロセッサに異常が発生すると処理結果が信頼できなくなる。このため、信頼性を向上させるために、1台のコンピュータに複数のプロセッサを搭載し、これらのプロセッサに同一の処理対象を並行して処理させるマルチプロセッサのコンピュータがある。このようなマルチプロセッサのコンピュータには、各プロセッサの異常発生を検出するためのプロセッサ障害検出装置が備えられている。

第2図に、従来のプロセッサ障害検出装置のブ

ロック図を示す。

図には、一対のプロセッサ1、2と、クロック発生部3、一致検出部4、異常処理部5が設けられている。プロセッサ1、2には、それぞれ出力信号線6、7が接続されている。出力信号線6、7には、一致検出部4が接続されている。一致検出部4から異常処理部5に向けて、判定信号aを出力する判定信号線10が設けられている。異常処理部5からプロセッサ1、2及び図示しない上位装置に向けて、異常通知信号bを出力する異常通知線11が設けられている。クロック発生部3からプロセッサ1、2及び一致検出部4に向けて、制御クロック $\tau$ を出力する制御クロック線12が設けられている。

プロセッサ1、2は、処理対象の処理実行を行なうものである。クロック発生部3は、プロセッサ1、2及び一致検出部4の動作タイミングを制御する制御クロック $\tau$ を生成するものである。一致検出部4は、出力信号線6、7上のデータを読み取りその比較を行なうゲート回路等からなるも

のである。異常処理部5は、一致検出部4の出力する判定信号aに基づいてプロセッサ1、2に異常が発生したことを認識するものである。

以上の構成のプロセッサ障害検出装置の動作を第3図を参照しながら説明する。

第3図は、従来のタイムチャートである。

第3図(a)は、プロセッサ1が出力信号線6に出力するデータを示したもので、同様に同図(b)は、プロセッサ2が出力信号線7に出力するデータを示したものである。同図(c)は、一致検出部4の出力する判定信号aを示したもので、同図(d)は、異常処理部5の出力する異常通知信号bを示したものである。

なお、クロック発生部3からは、所定周期の時刻 $t_1 \sim t_2$ に制御クロック $\tau$ が出力されているものとする。プロセッサ1、2は、この制御クロック $\tau$ に同期して処理を実行し、出力信号線6、7にデータを出力する。一方、一致検出部4は、制御クロック $\tau$ の発生するタイミングで出力信号線6、7の内容を読み取ってその比較を行な

い、判定信号aを出力する。この判定信号aは、比較結果が一致した場合にハイレベルに設定され、不一致の場合にロウレベルに設定される。異常処理部5では、判定信号aが有効状態の場合、異常通知信号aを無効に設定しレベルに基づいて、プロセッサ1、2の異常の判断を行なう。

時刻 $t_1$ 、 $t_2$ 、 $t_3$ のタイミングにおいてプロセッサ1、2は、それぞれ同一のデータA、B、Cを出力している。即ち、プロセッサ1、2は、同期して正常な動作を行なっていることになる。

ところで、プロセッサ1、2には、クロック発生部3の出力する制御クロック $\tau$ に依存せず、随時信号の入力を許容する図示しない非同期型の信号線(例えば割込み信号線)が設けられている。この非同期型の信号線上の信号を受付けるタイミングは、基本的には、信号が入力した直後に発生する制御クロック $\tau$ のタイミングで受付ける。このタイミングには、制御クロック $\tau$ が高速になるに従ってプロセッサ毎のバラツキが生じ始める。

即ち、非同期型の信号線上の信号が入力してから2クロック目の制御クロック $\tau$ のタイミングで受付けるといった事態が発生する。

具体的には、第3図において、処理の進行に伴い時刻Tにプロセッサ1、2に設けられた非同期型の信号線に割込み①が発生したものである。プロセッサ1、2は、この割込みを受付けた後に処理を継続することになる。

ここで、プロセッサ1は、時刻 $t_4$ に発生する制御クロック $\tau$ のタイミングで割込みを受付け(①)、データDを出力信号線6に出力したものである。しかしプロセッサ2はその特性上、時刻 $t_4$ のタイミングでは受付けることができず時刻 $t_5$ に出力される制御クロック $\tau$ のタイミングで割込みを受付けたものである(②)。

時刻 $t_4$ のタイミングにおいて、プロセッサ2は、割込みを受付けることができないため、出力信号線7にデータを出力しない。このため、出力信号線7の内容が処理に関係の無いデータ $\alpha$ になる。従って、時刻 $t_4$ のタイミングにおいて、

一致検出部4は、データDとデータαの比較を行なうことになる。この比較結果は不一致となり、ロウレベルの判定信号aが出力される。

異常処理部5では、判定信号aがロウレベルになったのを受けて、異常通知信号bをロウレベルに設定してプロセッサ1, 2の動作を停止させると共に、図示しない上位装置に通知する。

(発明が解決しようとする課題)

以上の様に、従来はプロセッサ1, 2の特性上発生する恐れのある同期ずれに関しても、プロセッサ1, 2の異常として判断されてしまいその動作を停止していた。このため、円滑な処理実行の妨げとなり、さらには、プロセッサ1, 2の異常検出のための診断作業等を行なった後再度立ち上げるといった煩わしい作業を強いられていた。

本発明は以上の点に着目してなされたもので、各プロセッサの同期ずれが発生する度にプロセッサの処理を停止することなく、確実にプロセッサの異常が発生した場合のみプロセッサの処理を停止するプロセッサ障害検出装置を提供することを

目的とするものである。

(課題を解決するための手段)

本発明のプロセッサ障害検出装置は、同一の処理対象を並行して処理する複数のプロセッサと、前記各プロセッサの動作を制御する制御クロックを当該各プロセッサに向けて出力するクロック発生部と、前記処理の過程で前記各プロセッサから前記制御クロックに同期して時間的に連続して出力される中間データを、少なくとも3個以上対応させて格納するレジスタと、前記レジスタに格納されて対応付けられた前記中間データを時間的にシフトさせながら相互に比較する一致検出部と、前記中間データが相互に一致した場合のシフト時間に基づいて、前記各プロセッサの同期調整を行なう同期調整部とからなるものである。

(作用)

この装置は、複数のプロセッサを用いて同一の処理対象を並行して処理する場合、処理の過程で発生する中間データを比較部において比較する。この比較は連続して各プロセッサから、それぞれ

出力される少なくとも3個以上の中間データの間で実行され、この比較方法は、同一のクロックで出力された中間データの他に、1クロック分シフトさせた、即ちプロセッサから出力されたタイミングが1クロック分異なる組合わせの中間データの間でも実行される。同一のクロックで出力された中間データの比較が不一致で、このシフトを行なった場合の比較が一致した場合、各プロセッサの同期がずれたものとして、同期調整部が各プロセッサの同期の調整を行なう。この様に、プロセッサの異常の監視と共に同期ずれの監視を行なう対策を講じるため、同期ずれに伴う不必要なプロセッサの処理停止を回避することができる。

(実施例)

第1図に、本発明のプロセッサ障害検出装置のブロック図を示す。

図には、一対のプロセッサ1, 2と、クロック発生部3、異常処理部5、クロック制御部(同期調整部)31、一致検出部40~42、レジスタ60~62及びレジスタ70~72から構成され

ている。

クロック発生部3からクロック制御部31に向けて、クロックaが出力される。クロック制御部31からプロセッサ1, 2及びレジスタ60~62とレジスタ70~72には、制御クロックb<sub>1</sub>, b<sub>2</sub>が出力されている。

プロセッサ1, 2には、それぞれデータを伝送する出力信号線(バスライン)6, 7が接続されている。出力信号線6, 7には、それぞれレジスタ60, 70の入力側に接続されている。レジスタ60~62及びレジスタ70~72は、それぞれチェーン接続されている。

レジスタ60は、その内容を一致検出部40に向けて出力信号Lとして出力している。レジスタ61は、その内容を一致検出部40~42に向けて出力信号Mとして出力している。レジスタ62は、その内容を一致検出部41, 42に向けて出力信号として出力している。同様にレジスタ70は、その内容を一致検出部42に向けて出力信号Lとして出力している。レジスタ71は、その内

容を一致検出部40～42に向けて出力信号mとして出力している。レジスタ72は、その内容を一致検出部40、41に向けて出力信号nとして出力している。

一致検出部40から、異常処理部5に向けて、比較結果信号A<sub>1</sub>、A<sub>2</sub>が出力される。同様に一致検出部41からは比較結果信号B<sub>1</sub>、B<sub>2</sub>が、一致検出部42からは比較結果信号C<sub>1</sub>、C<sub>2</sub>が出力される。異常処理部5からは、プロセッサ1、2及び図示しない上位装置に向けて異常通知信号Fが出力され、さらにクロック制御部31に向けて、障害通知信号D、Eが出力される。

プロセッサ1、2は、同一の処理対象を並行して実行するものである。クロック発生部3は、プロセッサ1、2及びプロセッサ障害検出装置を構成する各部の動作タイミングを制御するクロックaを生成するものである。クロック制御部31は、クロックaに基づいて、制御クロックb<sub>1</sub>、b<sub>2</sub>を生成するものである。異常処理部5は、一致検出部40～42から出力される各比較結果信

号の内容に基づいて、プロセッサ1、2の同期ずれ及び異常発生を把握するものである。

ここで、第4図及び第5図を参照しながら、一致検出部40～42及び異常処理部5の動作説明を行なう。

第4図は、本発明に係る一致検出部40～42の動作説明図である。

図に示す様に、一致検出部40は、出力信号Lと出力信号m、出力信号Mと出力信号nの比較を行ない、それぞれの比較結果を比較結果信号A<sub>1</sub>、A<sub>2</sub>として出力する。同様に一致検出部41は、出力信号Mと出力信号m、出力信号Nと出力信号nの比較を行ない、比較結果信号B<sub>1</sub>、B<sub>2</sub>を、一致検出部42は、出力信号Mと出力信号n、出力信号Nと出力信号mの比較を行ない、比較結果信号C<sub>1</sub>、C<sub>2</sub>を出力する。

なお、各比較結果信号は、比較結果が一致した場合、有効状態(真)に設定され、不一致の場合、無効状態(偽)に設定される。

次に、第5図は本発明に係る異常処理部5の動

作説明図である。

図は、異常処理部5に入力する各比較結果信号と、出力信号(障害通知信号及び異常通知信号)を対応付けたものである。

図の項目1～3に示すように、比較結果信号B<sub>1</sub>、B<sub>2</sub>が共に真の場合、比較結果信号B<sub>2</sub>、C<sub>2</sub>が共に真の場合、そして比較結果信号B<sub>2</sub>が真の場合は、プロセッサ1、2は正常に動作しているものとして、障害通知信号D、E及び異常通知信号Fを無効状態(偽)に設定する。

次に、比較結果信号A<sub>1</sub>、B<sub>2</sub>が共に真の場合、プロセッサ1の同期ずれ、1クロック分の時間1τ遅れているものとして、障害通知信号Dを有効状態(真)に設定する(項目4)。同様に、比較結果信号C<sub>1</sub>、C<sub>2</sub>が共に真の場合、即ちプロセッサ2の同期ずれの場合は、障害通知信号Eを有効状態(真)に設定する(項目5)。

以上の5項目以外の組合わせの場合、プロセッサ1、2に異常が発生したものとして異常通知信号Fを真に設定する。

ここで、第6図を参照しながら本発明のプロセッサ障害検出装置の全体的な動作説明を行なう。

第6図は、本発明に係るタイムチャートである。

図は、レジスタ60～62(R60～R62)、レジスタ70～72(R70～R72)に格納されるデータを示したもので、プロセッサ1、2は、制御クロックb<sub>1</sub>、b<sub>2</sub>のタイミングで、データA、B、C、D、D、E、G、…を順次出力するものとする。

いま、プロセッサ1、2の処理実行に伴い、データA、B、Cを出力信号線6、7に出力したものとする。このため、レジスタ60～62及びレジスタ70～72には、それぞれデータC、B、Aが格納される(図中時刻t<sub>1</sub>)。ここで、時刻Tにおいて割込みが発生したものとする。プロセッサ1は、その特性上、割込みが発生した直後に発生する制御クロックb<sub>1</sub>のタイミング、即ち、時刻t<sub>2</sub>において、割込みを受付けることが

でき、出力信号線6にデータDを出力したものと  
する。このため、レジスタ60～62の内容は、  
データD、C、Bになる。

一方、プロセッサ2は、その特性上、割込みが  
発生した後の2つ目の制御クロック $b_2$ 、即ち時  
刻 $t_2$ にならなければ割込みを受付けることがで  
きないものとする。このため、時刻 $t_2$ では、出  
力信号線7の内容が処理には関係の無いデータ $\alpha$   
になる。従って、レジスタ70～72の内容は、  
データ $\alpha$ 、C、Bとなる。この場合、一致検出部  
41の出力する比較結果信号 $B_1$ 、 $B_2$ が真となり、  
異常処理部5は、プロセッサ1、2が正常で  
あるものと判断し(第4図の第1項目)、プロ  
セッサ1、2による処理実行を継続させる。

次に、時刻 $t_3$ においてプロセッサ2が割込み  
を受付けるため、レジスタ70～72の内容は、  
データD、 $\alpha$ 、Cとなる。また、レジスタ60～  
62の内容は、データE、D、Cとなる。この場  
合、一致検出部41の出力する比較結果信号 $B_1$ 、  
及び一致検出部42の出力する比較結果信号 $C_1$ 、

が真となり、異常処理部5は、プロセッサ1、2  
が正常であるものと判断し(第4図の第2項  
目)、プロセッサ1、2による処理実行を継続さ  
せる。

次に時刻 $t_4$ においてレジスタ60～62に  
は、データF、E、Dが、レジスタ70～72に  
は、データE、D、 $\alpha$ が格納される。この場合、  
一致検出部40の出力する比較結果信号 $A_1$ 、及び  
一致検出部42の出力する比較結果信号 $B_2$ が真  
となり、異常処理部5は、プロセッサ1、2が正  
常であるものと判断し(第4図の第3項目)、プロ  
セッサ1、2による処理実行を継続させる。

次に、時刻 $t_5$ において、レジスタ60～62  
には、データG、F、Eが、レジスタ70～72  
には、データF、E、Gが格納される。この場  
合、一致検出部42の出力する比較結果信号  
 $C_1$ 、 $C_2$ が真となり、異常処理部5はプロセッ  
サ2の同期ずれ(1 $\tau$ 遅れ)と判断し、障害通知  
信号Eを有効状態(真)に設定する(第4図の第  
5項目)。クロック制御部31は、障害通知信号

Eが真になったのを受けて、時刻 $t_5$ において制  
御クロック $b_5$ を出力するのを中止する。このた  
め、プロセッサ1は1クロック分動作を停止し、  
レジスタ60～62の内容は、データG、F、E  
に保たれる。一方、プロセッサ2については、時  
刻 $t_5$ において制御クロック $b_5$ が供給されるた  
め、処理を実行し、レジスタ70～72の内容が  
データG、F、Eに変更される。

この時刻 $t_5$ において、レジスタ60～62と  
レジスタ70～72の内容がデータG、F、Eで  
一致するため、以後プロセッサ1、2は、同期の  
取れた状態で処理を継続することになる。

プロセッサ1の動作が1 $\tau$ 遅れた場合も同様の  
手順を経た対策を講じることができる。

以上説明の様に、プロセッサ1、2の同期がず  
れた場合を把握し、対策を講じるため、プロセッ  
サ1、2の処理実行を中止する事態を回避するこ  
とができる。

(発明の効果)

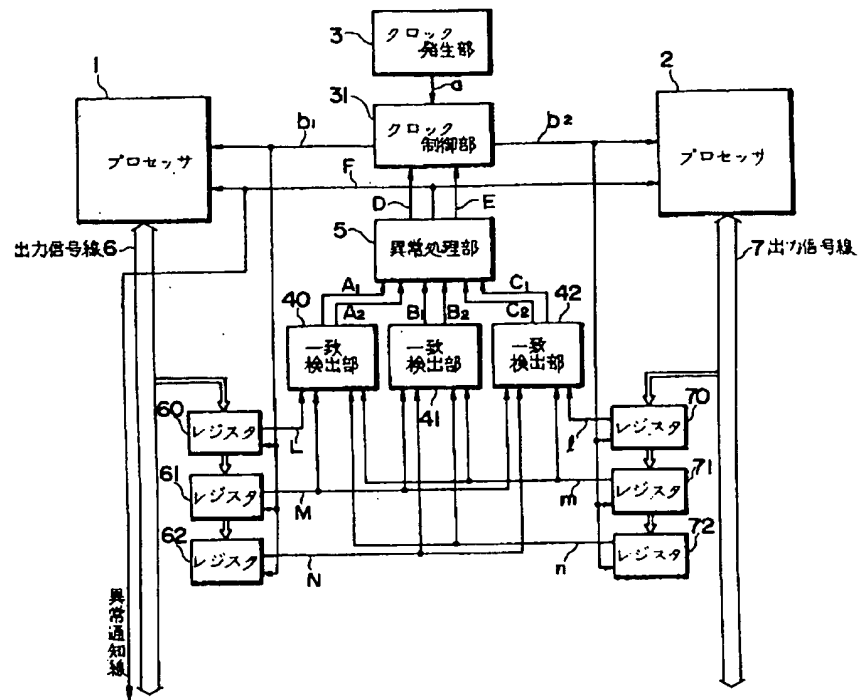
本発明によると、プロセッサの異常の監視の

他、同期のずれも監視し、同期のずれが検出され  
た場合にはその調整を行ない同期ずれを解消する  
ため、同期ずれが原因でプロセッサの動作を停止  
させてしまうといった事態を回避することができる。  
このため、円滑かつ確実な処理実行を行なう  
ことができる。

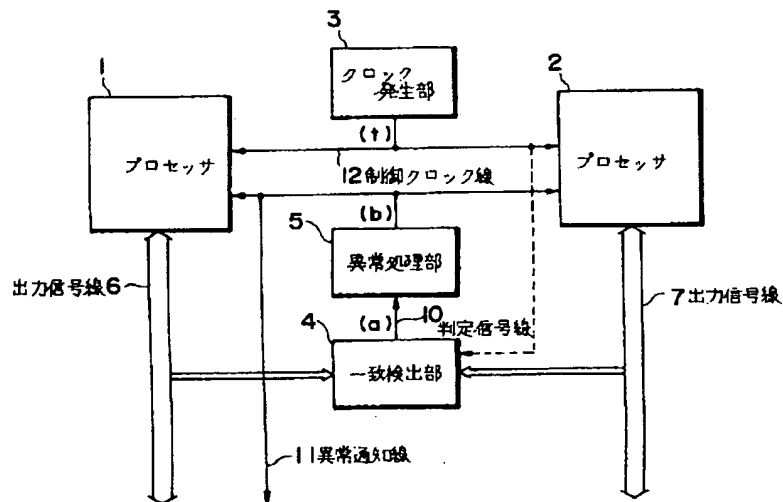
#### 4. 図面の簡単な説明

第1図は本発明のプロセッサ障害検出装置のプロ  
ック図、第2図は従来のプロセッサ障害検出装  
置のプロック図、第3図は従来のタイムチャー  
ト、第4図は本発明に係る一致検出部の動作説明  
図、第5図は本発明に係る異常処理部の動作説明  
図、第6図は本発明に係るタイムチャートであ  
る。

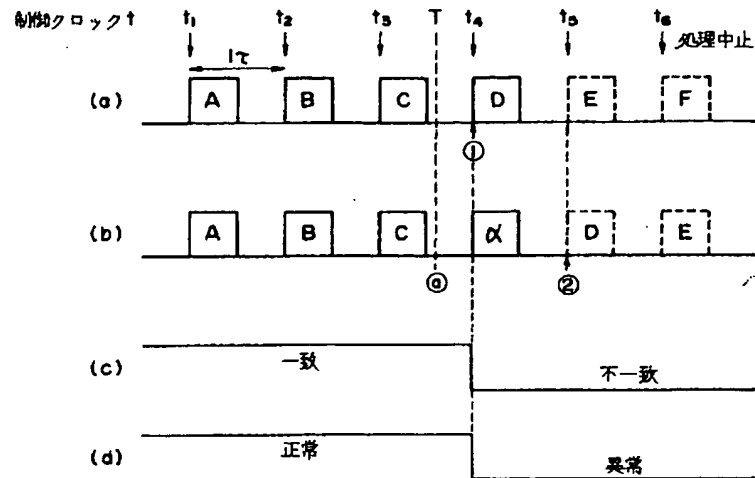
1、2…プロセッサ、3…クロック発生部、  
5…異常処理部、  
31…クロック制御部(同期調整部)、  
40～42…一致検出部、  
60～62、70～72…レジスタ。



本発明のプロセッサ障害検出装置のブロック図  
第 1 図



従来のプロセッサ障害検出装置のブロック図  
第 2 図



従来のタイムチャート  
第3図

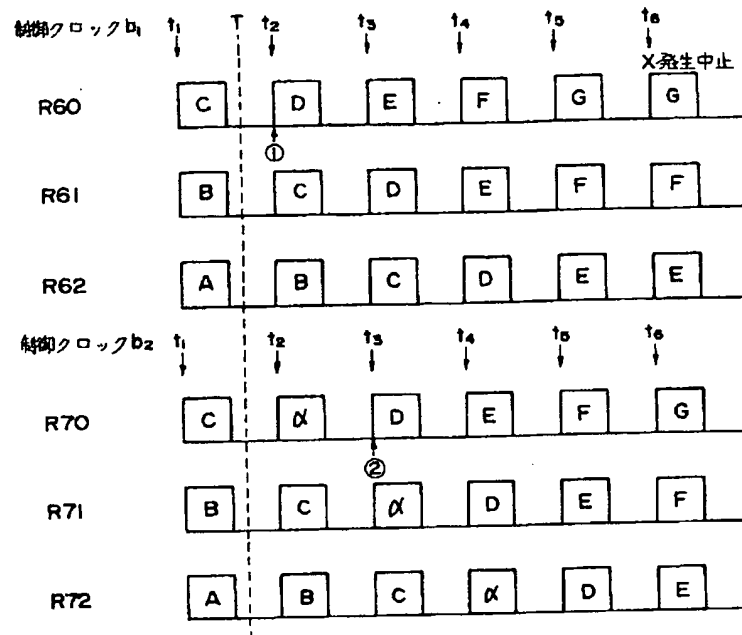
一致検出部	40		41		42	
一致条件	L=m	M=n	M=m	N=n	M=l	N=m
比較結果信号	A1	A2	B1	B2	C1	C2

本発明に係る一致検出部の動作説明図  
第4図

項目	入力信号						出力信号			内容
	A1	A2	B1	B2	C1	C2	D	E	F	
1	—	—	真	真	—	—	偽	偽	偽	正常
2	—	—	—	真	真	—	偽	偽	偽	正常
3	真	—	—	真	—	—	偽	偽	偽	正常
4	真	真	—	—	—	—	真	偽	偽	正常 プロセッサ1の1で遅れ
5	—	—	—	—	真	真	偽	真	偽	正常 プロセッサ2の1で遅れ
6	上記以外						偽	偽	真	異常

本発明に係る異常処理部の動作説明図  
第5図





本発明に係るタイムチャート  
第 6 図